

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-271794

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)11月6日

H 04 N 9/44
G 09 G 3/30
H 03 L 7/00
H 04 N 5/66
9/12

B 7033-5C
Z 6376-5C
B 8731-5J
B 7605-5C
B 7033-5C

審査請求 未請求 請求項の数 8 (全5頁)

⑭ 発明の名称 クロック信号再発生回路網

⑯ 特 願 平1-327493

⑰ 出 願 平1(1989)12月19日

優先権主張 ⑱1988年12月19日 ⑲米国(US) ⑳286288

⑳ 発 明 者 マイケル ジェー ズ アメリカ合衆国オレゴン州 97217 ポートランド エヌ
イチコヴスキー エンディコット アベニュー 9201

㉑ 出 願 人 ブレイナー システム アメリカ合衆国オレゴン州 97006 ビーバートン ノー
ス インコーポレーテ スウエスト コンプトン ドライブ 1400
ッド

㉒ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 クロック信号再発生回路網

2. 特許請求の範囲

1. データ信号を補助信号及びクロック信号に位相ロックするクロック信号再発生回路網であって、
 - (a) 各位相がオリジナルのクロック信号の位相から予め定めた位相量だけ変化する多重位相クロック信号を発生するクロック発振器手段と、
 - (b) 前記クロック発振器手段に接続され、データ信号に応じて前記多重位相クロック信号のうち前記データ信号と同相の信号を選択するクロックラッチ手段と、
 - (c) エラー信号に応じて補助信号の位相を偏移させる補助信号位相偏移回路と、
 - (d) 前記多重位相クロック信号のうち、前記補助信号位相偏移回路の出力信号と同相の信号を選択するクロック信号選択手段と、
 - (e) 前記クロック信号選択手段の出力信号の

位相をクロックラッチ手段の出力信号の位相と比較して前記エラー信号を発生する位相検出器手段とを具備することを特徴とするクロック信号再発生回路網。

2. 前記クロック発生器手段が、発振器と、前記各多重位相クロック信号用の多重出力タップを有するデジタル遅延線とを具備することを特徴とする請求項1に記載のクロック信号再発生回路網。
3. 前記クロック選択手段が、前記多重位相クロック信号のうち前記位相偏移回路の出力信号と同相の信号をラッチして選択信号を発生するラッチ手段と、前記選択信号にตอบสนองして多重位相クロック信号をクロック出力信号として選択するデジタル選択手段とを含むことを特徴とする請求項1に記載のクロック信号再発生回路網。
4. 前記クロックラッチ手段が、多重位相クロック信号のうち第1の選択クロック信号を表示する第1の位相コードを発生する第1のエ

ンコード手段を含み、前記クロック手段選択手段が、多重位相クロック信号のうち第2の選択クロック信号の位相を表示する第2の位相コードを発生する第2のエンコード手段を含み、前記位相検出器手段が、第1の位相コードと第2の位相コードとを比較すると共に、第1の選択クロック信号が第2の選択クロック信号に対して遅延しているか又は時間的に一致しているを表示するデジタル信号で構成されるエラー信号を発生する手段を含むことを特徴とする請求項1に記載のクロック信号再発生回路網。

5. 前記補助信号を水平同期信号としたことを特徴とする請求項1に記載のクロック信号再発生回路網。
6. データ信号を同期信号及びクロック信号の両方に位相ロックするクロック信号再発生回路網であって、多重位相クロック信号を発生する発振器手段と、多重位相クロック信号のうち所望のクロック信号を選択する同期ラッ

チ回路及びデータラッチ回路と、これらラッチ回路の各出力信号を比較すると共にエラー信号を発生させ、同期信号の位相を調整して同期信号を入力データ信号と一致させると共に前記クロック信号のうち位相が一致したクロック信号をクロックパルスとして選択する位相比較器とを具え、前記クロックパルスがデータ信号及び同期信号の両方に対して同相となるように構成したことを特徴とするクロック信号再発生回路網。

7. 前記同期ラッチ回路が、同期位相偏移回路の出力信号に応じて、前記多重位相クロック信号のうちの前記出力信号と同相のクロック信号を選択するように構成したことを特徴とする請求項6に記載のクロック信号再発生回路網。
8. 前記同期位相偏移回路が前記エラー信号にตอบสนองすることを特徴とする請求項7に記載のクロック信号再発生回路網。

3. 発明の詳細な説明

本発明は、クロック信号をデータ信号及び同期信号となる第2の信号に位相ロックするデジタル位相ロックループを用いるクロック信号再発生回路網に関するものである。

薄膜エレクトロルミネッセンス(TFEL)表示装置において、光は予め定めた走査順序に従って画素点から放出される。これらの画素点から適当な時間で光を発生するためには、ビデオデータ信号が内部クロック信号並びに水平及び垂直同期信号の両方に同期する必要がある。この表示装置において、水平同期信号及びビデオ入力源からのデータパルスの両方の端縁に同期したクロックパルスを発生させる必要がある。クロック信号の第1の目的は、ビデオデータを正しい画素位置と対応させることである。データ信号と内部クロック信号との間で位相が整合しないと、表示装置にノイズが発生してしまう。けだし、各画素が正しい時刻にターンオンしないためである。

一般的には、位相ロックループを用いて内部ク

ロック信号を水平及び垂直同期パルスに同期させている。しかしながら、この技術はデータパルスを内部クロック信号に位相ロックすることを含んでいなかった。また、通常のアナログ型位相ロックループはノイズが強く、しかも特別な部品を必要とする。通常の表示システム用の位相ロックループの多くは、最終的に製造時に発生する偏差を正しくするように調整する必要があった。アナログ位相ロックループは温度変化に対して敏感にตอบสนองするため、高電圧を必要とし熱が発生するTFELパネルのような表示装置においては温度感受性は大きな問題となってしまう。さらに、精度レベルを4分割画素のように低くするためには、高いループ利得が必要になり、高ループ利得にすると位相ロックループが不安定になるおそれがある。

本発明の目的は、内部クロック信号を到来ビデオパルス並びに水平及び垂直同期パルスの両方に位相ロックするクロック信号再発生回路網を提供するものである。位相ロックは標準のアナログ位相ロックループ回路に対して60db改善される程度

のノイズの余裕度をもって達成される。

本発明では、発振器から基本クロック信号を発生し、このクロック信号を位相偏移させて多重位相クロック信号を形成する。これらの位相が偏移してクロック信号のうち選択したクロック信号を2個のラッチ回路でラッチし、一方のラッチ回路が到来データパルスにตอบสนองし他方のラッチ回路は位相補正された水平同期パルスにตอบสนองする。各ラッチされた多重クロック信号は比較器で比較され、この比較器から同期パルスの位相を順次調整するエラー信号が発生する。この結果、閉ループが形成され、水平同期パルス及びクロック信号が位相ロックされる。水平同期ラッチ回路の出力は、適切な多重位相クロックパルスを選択する。位相調整によりデータと垂直同期パルスとの間の位相変化が検出されるので、水平同期パルスの位相を偏移させることにより同期パルスとデータパルスとの間の時間的整合が確実に行われる。この結果クロック信号、データパルス及び同期パルスの全てが位相ロックされることになる。

本発明の目的は、内部クロック信号、データパルス流及び同期パルスのような補助パルスを位相ロックするクロック信号再発生回路網を提供するものである。

本発明の別の目的は、水平同期パルス、クロックパルス及びデータパルス間の高精度の時間整合を高い安定性及び低ノイズで達成することにある。

さらに、本発明の別の目的は、ビデオデータ、水平同期パルス及び内部クロックパルス用の低コストデジタル位相ロックループ回路網を提供するものである。

以下図面に基づき本発明を詳細に説明する。

第1図を参照する。発振器10から、クロック位相発生器12への入力信号を形成する基本クロック信号を発生する。このクロック位相発生器12から、それぞれ全クロック周期の1/8の周期だけ遅延した多重位相クロック信号を発生する。尚、このクロック位相発生器12の出力信号は第4図に示す。クロック位相回路12として、1/8 Tづつ遅延量が増加する4個のタップを有するデジタル遅延線を用いることができる。ここで、Tは発振器10からの基本クロックパルスの周期である。

クロック位相発生器12の出力部をクロック選択回路14、水平同期クロック回路16、及びデータクロックラッチ回路18に接続する。データクロックラッチ回路18の他方の入力信号は到来ビデオデータ信号とする。例えば水平同期信号のような補助信号を位相調整回路20に供給する。この位相調整回路は電子的には選択可能な出力タップを有するデジタル遅延線とすることができる。位相調整回路(HSYNC位相シフト)20の出力信号は、同期クロックラッチ回路16の他方の入力信号を形成する。ラッチ回路16及び18の各出力信号は位相検出器22の入力信号を形成し、この位相検出器の出力信号はHSYNC位相調整回路20の位相調整を制御するエラー信号を構成する。

クロック位相発生器12から出力される多重位相クロック信号は、位相調整回路20からの出力信号の選択された端縁により(位相クロックラッチ回路16の場合)及びビデオデータ信号の選択された端縁により(データクロックラッチ回路の場合)各ラッチ回路16及び18にそれぞれラッチされる。それぞれの場において、選択されたクロック信号は、発振器10からの基本クロック信号に対する位相遅延量の関数であるコード信号を発生する。ラッチコードは第2図に示され、クロック信号を8個の等しい増分に分割する演算コードに対応する。2個のラッチ回路16及び18からのコードを位相検出器22で比較する。生じたエラー信号は、以下に示す表1に従って位相調整回路20を増分させる。表1は水平同期クロック位相コードと位相検出器22で比較した対応するデータクロック位相コードの可能性との関係を示す。

クロック位相発生器12から出力される多重位相クロック信号は、位相調整回路20からの出力信号の選択された端縁により(位相クロックラッチ回路16の場合)及びビデオデータ信号の選択された端縁により(データクロックラッチ回路の場合)各ラッチ回路16及び18にそれぞれラッチされる。それぞれの場において、選択されたクロック信号は、発振器10からの基本クロック信号に対する位相遅延量の関数であるコード信号を発生する。ラッチコードは第2図に示され、クロック信号を8個の等しい増分に分割する演算コードに対応する。2個のラッチ回路16及び18からのコードを位相検出器22で比較する。生じたエラー信号は、以下に示す表1に従って位相調整回路20を増分させる。表1は水平同期クロック位相コードと位相検出器22で比較した対応するデータクロック位相コードの可能性との関係を示す。

表 1

水平同期 クロック位相	データクロック 位相	水平同期クロック 位相の変化の選択
0	8 . 0 . 1	0
1	0 . 1 . 3	0
3	1 . 3 . 7	0
7	3 . 7 . F	0
F	7 . F . E	0
E	F . E . C	0
C	E . C . 8	0
8	C . 8 . 0	0
0	3 . 7 . F	-1
1	7 . F . E	-1
3	F . E . C	-1
7	E . C . 8	-1
F	C . 8 . 0	-1
E	8 . 0 . 1	-1
C	0 . 1 . 3	-1
8	1 . 3 . 7	-1
0	E . C	+1
1	C . 8	+1
3	8 . 0	+1
7	0 . 1	+1
F	1 . 3	+1
E	3 . 7	+1
C	7 . F	+1
8	F . E	+1

表1に示すように、エラー信号は、位相クロックラッチ回路16で選択したクロックパルスが遅延しているか又はデータクロックラッチ回路18で選択したクロックパルスと時間的に一致しているかに依存する。位相検出器22から位相調整回路20に送る閉ループの効果によりラッチ回路16及び18で選択した2個のクロックパルスはそれぞれ位相整列することになる。同時に、表1に示すコード化された信号である位相クロックラッチ回路16の出力信号により多重位相クロックパルスのうちクロック選択回路において特別なコードに対応する特別なクロックパルスを選択する。

第3図に示すように、位相ロックは1次クロック信号の1/4周期に正確に一致する。例えば、データパルスは位置0と位相2との間で変化して、0の演算コードを有する水平同期パルスに対応する遅延したクロックパルス信号を適切に選択する。同様に、位置2と4との間において、演算コード位置1における同期パルスに対応するクロック信号が選択される。データパルスが演算コード位置

4と6との間に入ると、位置2の同期パルスが選択され、データパルスが位置6と0との間に入ると位置3の同期パルスが選択される。このように構成することによりシステムの精度がクロックパルスの周期の1/4に維持され、この結果各画素を照明するために用いられる時間の1/4に変形される。

上述した実施例で用いた文言及び表現は説明のためのものであり、これに限定されるものではない。また、本発明は上述した実施例に限定されず種々の変形や変更が可能である。

4. 図面の簡単な説明

第1図はデジタル位相ロックループを具えるデジタルクロック再発生回路網の構成を示すブロック線図、

第2図は多重位相クロック信号及びクロック信号を等しい位相期間に分割するラッチコードを示す波形図、

第3図はデータパルスの位置に応じていかにして水平同期パルスの位相を偏移させるかを示す波

形図、

第4図は多重位相クロック信号と第1図のラッチコードとの間の対応関係を示す波形図である。

- 10…発振器
- 12…クロック位相発生器
- 16…同期クロックラッチ回路
- 18…データクロックラッチ回路
- 20…位相調整回路
- 22…位相検出器

特許出願人	ブレイナー システムズ インコーポレーテッド
代理人弁理士	杉 村 曉 秀
同 弁理士	杉 村 興 作

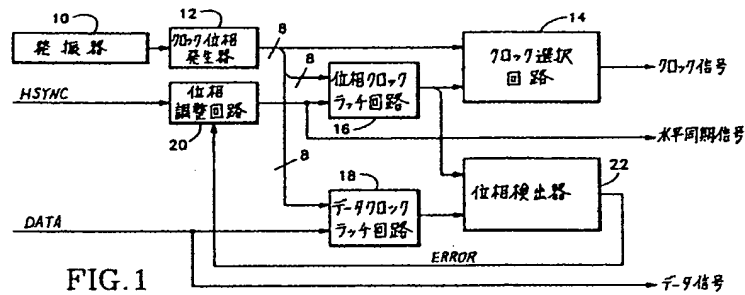


FIG. 1

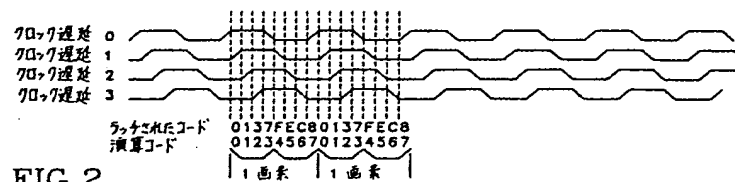


FIG. 2

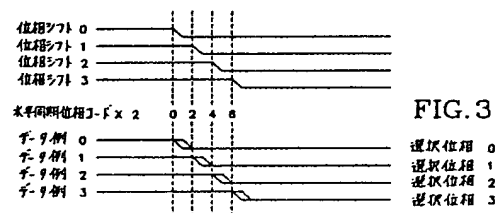


FIG. 3

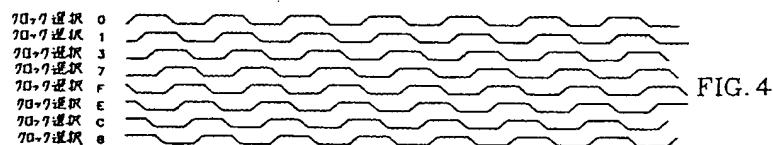


FIG. 4